

Docket No.: 67161-098

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Takao KAMOSHIMA, et al. : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: September 09, 2003 : Examiner: Unknown
For: INTERCONNECTION STRUCTURE

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. 2003-058384, filed March 5, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: September 9, 2003

67161-098
KAMOSHIMA et al.
September 9, 2003

日本国特許庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 3月 5日

出願番号

Application Number:

特願2003-058384

[ST.10/C]:

[JP2003-058384]

出願人

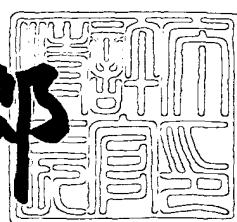
Applicant(s):

三菱電機株式会社

2003年 3月 24日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019457

【書類名】 特許願
【整理番号】 541476JP01
【提出日】 平成15年 3月 5日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/3205
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 鴨島 隆夫
【発明者】
【住所又は居所】 兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダクタシステムエンジニアリング株式会社内
【氏名】 藤井 靖久
【発明者】
【住所又は居所】 兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダクタシステムエンジニアリング株式会社内
【氏名】 正光 豪
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎
【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線接続構造

【特許請求の範囲】

【請求項1】 基板上に形成され、銅層よりなる第1の導電層と、

前記第1の導電層上に形成され、かつ前記第1の導電層に達する孔を有する絶縁層と、

前記絶縁層内に形成され、前記孔を通じて前記第1の導電層と電気的に接続された銅層よりなる第2の導電層と、

前記第2の導電層および前記孔と、前記絶縁層との間に形成されたバリアメタル層とを備え、

前記バリアメタル層は前記孔の底部において開口を有し、前記開口を通して前記第2の導電層は前記第1の導電層と直接接している、配線接続構造。

【請求項2】 基板上に形成された第1の配線部と、

前記基板上に形成され、かつ前記第1の配線部よりも線幅が大きい第2の配線部と、

前記第1および第2の配線部上に形成され、かつ前記第2の配線部に達する孔を有する絶縁層と、

前記孔を通じて前記第1の導電層と電気的に接続され、前記絶縁層内に形成された導電層とを備え、

前記第1の配線部は、メッキにより形成された銅層よりなっており、

前記第2の配線部は、銅層と少なくとも前記孔の真下領域に位置する金属層との2層構造を有している、配線接続構造。

【請求項3】 前記金属層は、スパッタ法により形成された銅層であることを特徴とする、請求項2に記載の配線接続構造。

【請求項4】 前記金属層は、アルミニウム合金層であることを特徴とする、請求項2に記載の配線接続構造。

【請求項5】 基板上に形成され、銅層よりなる第1の導電層と、

前記第1の導電層上に形成され、かつ前記第1の導電層に達する孔を有する絶縁層と、

前記絶縁層内に形成され、前記孔を通じて前記第1の導電層と電気的に接続された第2の導電層とを備え、

前記第1の導電層の前記孔の近傍にはスリットが形成されている、配線接続構造。

【請求項6】 前記第1の導電層は線幅が大きい第1の配線部と線幅の小さい第2の配線部とを有し、前記第2の導電層は線幅が小さい配線部を有しており、

前記第1の導電層の前記第2の配線部と前記第2の導電層の線幅が小さい配線部とが前記孔を通じて接続されており、

前記スリットは、前記第1の配線部と前記第2の配線部との接合部近傍であつて前記第1の配線部内に形成されていることを特徴とする、請求項5に記載の配線接続構造。

【請求項7】 基板上に形成され、銅層よりなる第1の導電層と、

前記第1の導電層上に形成され、かつ前記第1の導電層に達する第1および第2の孔を有する絶縁層と、

前記第1の孔を通じて前記第1の導電層と電気的に接続され、かつ前記絶縁層内に形成された、他の素子に電気的に接続するための第2の導電層とを備え、

前記第2の孔は、前記第1の導電層を他の素子と電気的に接続しないダミーの孔として用いられる、配線接続構造。

【請求項8】 前記第2の孔を介して前記第1の導電層と電気的に接続され、かつ前記第1の導電層を他の素子と電気的に接続しないダミーの配線層をさらに備えたことを特徴とする、請求項7に記載の配線接続構造。

【請求項9】 前記第2の孔内を埋めこむ第3の導電層をさらに備え、

前記第3の導電層には前記第1の導電層以外の他の配線層が電気的に接続されていないことを特徴とする、請求項7に記載の配線接続構造。

【請求項10】 前記第1の導電層は線幅が大きい第1の配線部を有し、前記第2の導電層は線幅が小さい第2の配線部を有しており、

線幅が大きい前記第1の配線部と線幅が小さい前記第2の配線部とが前記孔を通じて接続されていることを特徴とする、請求項7に記載の配線接続構造。

【請求項11】 前記第1の導電層は線幅が大きい第1の配線部と線幅が小さい第2の配線部とを有し、前記第2の導電層は線幅が小さい第3の配線部を有しており、

線幅が小さい前記第2の配線部と線幅が小さい前記第3の配線部とが前記孔を通じて接続されていることを特徴とする、請求項7に記載の配線接続構造。

【請求項12】 前記ダミーの孔として用いられる前記第2の孔は、線幅が大きい前記第1の配線部に達するように形成されていることを特徴とする、請求項11に記載の配線接続構造。

【請求項13】 前記ダミーの孔として用いられる前記第2の孔は、線幅が小さい前記第2の配線部に達するように形成されていることを特徴とする、請求項11に記載の配線接続構造。

【請求項14】 基板上に形成され、かつ線幅が大きい第1の配線部と線幅が小さい第2の配線部とを有し、かつ銅層よりなる第1の導電層と、

前記第1の導電層上に形成され、かつ線幅が小さい前記第2の配線部に達する孔を有する絶縁層と、

前記孔を通じて前記第1の導電層と電気的に接続され、かつ前記絶縁層内に形成された第2の導電層とを備え、

線幅が小さい前記第2の配線部は、前記第2の配線部と前記第1の配線部との接合部から前記孔までの間で折れ曲がっている、配線接続構造。

【請求項15】 前記第2の配線部の折れ曲がり回数は1回であることを特徴とする、請求項14に記載の配線接続構造。

【請求項16】 前記第2の配線部の折れ曲がり回数は2回以上であることを特徴とする、請求項14に記載の配線接続構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、配線接続構造に関するものであり、より具体的には半導体装置、液晶デバイスなどの電子デバイスの配線接続構造に関するものである。

【0002】

【従来の技術】

従来の半導体装置における集積回路の金属配線には主にアルミニウム (A1) 合金が用いられていたが、最先端デバイスでは、より低抵抗でエレクトロマイグレーション耐性の高い銅 (Cu) 配線が用いられてきている。このようなCu配線を有する半導体装置は、たとえば特開2001-156073号公報（特許文献1参照）、E. T. Ogawa et al., “Stress-Induced Voiding Under Vias Connected To Wide Cu Metal Leads” IEEE 02CH37320 40th Annual International Reliability Physics Symposium, Dallas, Texas, 2002, pp. 312-321（非特許文献1参照）などに開示されている。

【0003】

このようなCu配線を有する半導体装置の製造フローにはデュアルダマシン法およびシングルダマシン法がある。デュアルダマシン法においては、ビアおよび配線部分の溝がドライエッチングにより形成された後、バリアメタルおよびシードCu膜が成膜され、電解メッキによりCu膜が成膜される。その後、熱処理が加えられてCu膜の膜質が安定化された後、CMP (Chemical Mechanical Polishing) によりCu配線が形成される。

【0004】

一方、シングルダマシン法では、ビアが開口された後、バリアメタルおよびシードCu膜が成膜され、電解メッキによりCu膜が成膜され、熱処理が加えられてCu膜の膜質が安定化された後、CMPによりビア部のみにCu膜が埋込まれる。その後、層間絶縁膜が成膜され、配線溝が写真製版およびドライエッチングにより形成され、バリアメタルおよびシードCu膜が成膜され、電解メッキによりCu膜が成膜され、熱処理を加えてCu膜の膜質が安定化された後、メタルCMPにより配線溝部のみCu膜により埋込まれる。

【0005】

【特許文献1】

特開2001-156073号公報

【0006】

【非特許文献1】

E. T. Ogawa et al., "Stress-Induced Voiding Under Vias Connected To Wide Cu Metal Leads" IEEE 02CH37320 40th Annual International Reliability Physics Symposium, Dallas, Texas, 2002, pp. 312-321

【0007】

【発明が解決しようとする課題】

上記2つの方法には、通常、Cuメッキが用いられているが、Cuメッキ膜は膜中にマイクロボイドを多数含むことが知られている。また、ストレスマイグレーション試験を100℃～250℃の条件で行なうと、熱ストレスにより、上記ボイドが膜中を拡散し、ビア下部分に集まると考えられている。特に、下層配線の配線幅が1μm程度以上の太幅の場合に不良が発生しやすい。このようにボイドが集まると、ビア抵抗の増加、オープン、配線抵抗の増加、断線などが生じるおそれがある。

【0008】

本発明は、上記のような問題点を解決するためになされたものであり、ストレスマイグレーションによるビア下配線中のボイドの集中を抑制する配線接続構造を提供することを目的とするものである。

【0009】

【課題を解決するための手段】

本発明の配線接続構造は、第1の導電層と、絶縁層と、第2の導電層と、バリアメタル層とを備えている。第1の導電層は基板上に形成され、銅層よりなっている。絶縁層は、第1の導電層上に形成され、かつ第1の導電層に達する孔を有している。第2の導電層は、絶縁層内に形成され、孔を通じて第1の導電層と電気的に接続された銅層よりなっている。バリアメタル層は、第2の導電層および孔と、絶縁層との間に形成されている。バリアメタル層は孔の底部において開口を有し、開口を通して第2の導電層は第1の導電層と直接接している。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態について図に基づいて説明する。

【0011】

(実施の形態1)

図1は、本発明の実施の形態1における半導体装置の構成を示す概略断面図である。図1を参照して、半導体基板（図示せず）上に層間絶縁層1が形成されている。この層間絶縁層1の表面には溝1aが形成されている。この溝1a内壁に沿ってバリアメタル層2が形成されており、この溝1aを埋め込むように銅層よりなる配線層（第1の導電層）3が形成されている。

【0012】

この配線層3上には層間絶縁層4が形成されており、この層間絶縁層4には配線層3に達するビア（孔）4aと溝4bとが形成されている。ビア4aは溝4bの底部に形成されている。ビア4aと溝4bとの壁面に沿ってバリアメタル層5が形成されている。ビア4aと溝4bとを埋め込むように、かつビア4aを通じて配線層3と電気的に接続するように、銅層よりなる配線層（第2の導電層）6が形成されている。このようにして配線層6は層間絶縁層4内に形成されている。

【0013】

上記のバリアメタル層5は、ビア4aの底部において開口を有しており、その開口を通して配線層6は配線層3と直接接している。層間絶縁層4上には、配線層6を覆うように絶縁層7が形成されている。

【0014】

なお、バリアメタル層2、5は、たとえばタンタル（Ta）、窒化タンタル（Ta_N）、チタン（Ti）、窒化チタン（Ti_N）、窒化タンゲステン（WN）のいずれかよりなる単層構造またはこれらの任意の組合せよりなる積層構造である。

【0015】

次に、本実施の形態の2つの製造方法について説明する。

図2および図3は、本発明の実施の形態1における半導体装置の第1の製造方法を工程順に示す概略断面図である。図2を参照して、半導体基板（図示せず）上に層間絶縁層1が形成される。この層間絶縁層1に溝1aが形成される。溝1aが形成された層間絶縁層1の表面全面にバリアメタル層2が形成された後、そ

の溝1aを埋め込むように銅層3が形成される。この銅層3は、銅のシード層を形成した後にメッキにより銅のメッキ層を成膜することにより形成される。この後、層間絶縁層1の表面が露出するまで、CMPによりバリアメタル層2と銅層3とが研磨除去される。これにより、バリアメタル層2と銅層3とが溝1a内にのみ残されて、メッキ銅層（メッキにより形成された銅層）よりなる配線層3が形成される。

【0016】

この配線層3を覆うように層間絶縁層1上に層間絶縁層4が形成される。この層間絶縁層4の表面に、ドライエッチングによりビア4aと溝4bとが形成される。ビア4aは、溝4bの底部から延びて配線層3の表面を露出するように形成される。

【0017】

このビア4aと溝4bとが形成された層間絶縁層4の表面に、バリアメタル層5がたとえばスパッタ法により形成される。スパッタ法により形成したとき、バリアメタル層5の膜厚は、開口部のアスペクト比（深さ／ボトムサイズ）の差のため、 $T_1 > T_2 > T_3$ となる。つまり、層間絶縁層4の上面におけるバリアメタル層5の膜厚 T_1 は溝4bの底部における膜厚 T_2 よりも大きく、その溝4bの底部における膜厚 T_2 はビア4aの底部における膜厚 T_3 よりも大きくなる。この後、バリアメタル層5の全面にドライエッチングが施される。

【0018】

図3を参照して、バリアメタル層5の膜厚はビア4aの底部において薄くなるため、上記のドライエッチングにより、ビア4a底部のバリアメタル層5が消失する。これにより、ビア4a底部においてバリアメタル層5に開口が形成され、その開口から配線層3の表面が露出する。

【0019】

図1を参照して、ビア4aと溝4bとを埋め込むように銅層6が形成される。この銅層6は、銅のシード層を形成した後にメッキにより銅のメッキ層を成膜することにより形成される。この後、層間絶縁層4の表面が露出するまで、CMPによりバリアメタル層5と銅層6とが研磨除去される。これにより、バリアメタ

ル層5と銅層6とがビア4aおよび溝4b内にのみ残されて、メッキ銅層よりもなる配線層6が形成される。この後、配線層6を覆うように層間絶縁層4上に絶縁層7が形成される。

【0020】

図4～図7は、本発明の実施の形態1における半導体装置の第2の製造方法を工程順に示す概略断面図である。図4を参照して、層間絶縁層1と、溝1aと、バリアメタル層2と、配線層3とは上記の第1の製造方法と同様に形成される。

【0021】

この配線層3を覆うように層間絶縁層1上に層間絶縁層4が形成される。この層間絶縁層4の表面に、ドライエッティングにより溝4bが形成される。この溝4bが形成された層間絶縁層4の表面に、バリアメタル層5aがたとえばスパッタ法により形成される。

【0022】

図5を参照して、写真製版によりバリアメタル層5a上にレジストパターンが形成される。この後、そのレジストパターンをマスクとしてバリアメタル層5aと層間絶縁層4とがドライエッティングにより選択的に除去される。これにより、溝4bの底部にビア4aが形成され、そのビア4aの底部において配線層3の表面が露出する。なお、ドライエッティングの後、レジストパターンはたとえばアッシングなどにより除去される。

【0023】

図6を参照して、このビア4aおよびバリアメタル層5a上に、バリアメタル層5bが形成される。バリアメタル層5の膜厚は、T4、T5>T6となる。つまり、層間絶縁層4の上面および溝4bの底部ではバリアメタル層5aと5bとが積層されているのに対し、ビア4aの底部ではバリアメタル層5bのみである。このため、層間絶縁層4の上面および溝4bの底部におけるバリアメタル層5の各膜厚T4、T5は、ビア4aの底部におけるバリアメタル層5の膜厚T6よりも大きくなる。この後、バリアメタル層5の全面にドライエッティングが施される。

【0024】

図7を参照して、バリアメタル層5の膜厚はビア4aの底部において薄くなるため、上記のドライエッティングにより、ビア4a底部のバリアメタル層5が消失する。これにより、ビア4a底部においてバリアメタル層5に開口が形成され、その開口から配線層3の表面が露出する。

【0025】

図1を参照して、ビア4aと溝4bとを埋め込むように銅層6が形成される。この銅層6は、銅のシード層を形成した後にメッキにより銅のメッキ層を成膜することにより形成される。この後、層間絶縁層4の表面が露出するまで、CMPによりバリアメタル層5と銅層6とが研磨除去される。これにより、バリアメタル層5と銅層6とがビア4aおよび溝4b内にのみ残されて、銅層よりなる配線層6が形成される。この後、配線層6上を覆うように層間絶縁層4上に絶縁層7が形成される。

【0026】

本実施の形態によれば、図1に示すようにビア4aの底部において、バリアメタル層5に設けられた開口を通じて配線層3と配線層6とが直接接している。配線層3と配線層6とは共に銅層であるため、配線層3と配線層6との接続部は同種金属同士の接続となる。このため、配線層3と配線層6との間にバリアメタル層5が介在した場合に生じる異種金属の接続に起因したビア4a下でのマイクロボイドの集中を抑制することが可能となる。

【0027】

なお、ビア4a底部の周縁部においてバリアメタル層5は配線層3と接しているが、従来例と違い、ビア4aの底部全体で配線層3と接してはいない。このため、本実施の形態ではボイドはビア4a底部の中央部まで広がらず、ストレス分布を小さくすることができる。よって、上述のとおり、従来例よりも、ビア4a下でのマイクロボイドの集中を抑制することが可能となる。

【0028】

(実施の形態2)

図8は、本発明の実施の形態2における半導体装置の構成を概略的に示す断面図である。図8を参照して、半導体基板(図示せず)上に層間絶縁層1が形成さ

れている。この層間絶縁層1の表面において、線幅が細い配線（細幅配線）用の溝1aと線幅が太い配線（太幅配線）用の溝1bとが形成されている。この溝1a、1bの各々の内壁に沿ってバリアメタル層2が形成されている。溝1aを埋め込むように、メッキにより形成された銅層よりなる細い幅の配線層（第1の配線部）3が形成されている。また溝1bを埋め込むように、メッキにより形成された銅層3と金属層31との2層構造を有する太い幅の配線層（第2の配線部）が形成されている。太い幅の配線層は、細い幅の配線層よりも大きい線幅を有している。

【0029】

この細い幅の配線層と太い幅の配線層とを覆うように層間絶縁層1上には層間絶縁層4が形成されており、この層間絶縁層4には太い幅の配線層に達するビア（孔）4aと溝4bとが形成されている。ビア4aは溝4bの底部に形成されている。太い幅の配線層の金属層31はこのビア4aの少なくとも真下領域に位置しており、ビア4aの底部においてバリアメタル層5と接している。

【0030】

ビア4aと溝4bとの壁面に沿ってバリアメタル層5が形成されている。ビア4aと溝4bとを埋め込むように、かつビア4aを通じて太い幅の配線層と電気的に接続するように、Cu層よりなる配線層（導電層）6が形成されている。これにより、配線層6は層間絶縁層4内に形成されている。この配線層6を覆うように層間絶縁層4上には絶縁層7が形成されている。

【0031】

なお、金属層31は、たとえばタンタル、窒化タンタル、チタン、窒化チタン、窒化タンゲステンのいずれかよりなる単層構造またはこれらの任意の組合せよりなる積層構造、アルミニウム合金層、あるいはスパッタ法により形成された銅層である。

【0032】

また、バリアメタル層2、5は、たとえばタンタル、窒化タンタル、チタン、窒化チタン、窒化タンゲステンのいずれかよりなる単層構造またはこれらの任意の組合せよりなる積層構造である。

【0033】

次に、本実施の形態の製造方法について説明する。

図9は、本発明の実施の形態2における半導体装置の製造方法を示す概略断面図である。図9を参照して、半導体基板（図示せず）上に層間絶縁層1が形成される。この層間絶縁層1に、ドライエッチングにより線幅が細い配線（細幅配線）用の溝1aと線幅が太い配線（太幅配線）用の溝1bとが形成される。この溝1a、1bの各々の内壁に沿うように層間絶縁層4の表面全面にバリアメタル層2が形成される。このバリアメタル層2上に、銅層3が形成される。この銅層3は、銅のシード層を形成した後にメッキにより銅のメッキ層を成膜することにより形成される。この銅層3上に、金属層31が成膜される。

【0034】

なお、銅層3は、溝1aを完全に埋め込める膜厚で、かつ溝1bを完全には埋め込めない膜厚で形成されている。具体的には、銅層3は、その膜厚Tが溝1bの深さDよりも小さく、かつ溝1aの幅L1の半分の寸法（L1/2）以上で、かつ溝1bの幅L2の半分の寸法（L2/2）未満となるように形成される。つまり、溝1aを銅層3で完全に埋め込むためには銅層3の膜厚TをL1/2以上にする必要があり、溝1bを銅層3で完全に埋め込まないためには、銅層3の膜厚Tを溝1bの深さDよりも小さくするとともにL2/2未満にする必要がある。

【0035】

この後、CMP法により、層間絶縁層1の表面が露出するまで金属層31と銅層3とが研磨除去される。これにより、図8に示すように溝1a内には銅層3のみが残されて細い幅の配線層が形成され、かつ溝1b内には金属層31と銅層3とが残されて太い幅の配線層が形成される。

【0036】

この後、細い幅の配線層および太い幅の配線層を覆うように層間絶縁層1上に層間絶縁層4が形成される。この層間絶縁層4の表面であって、太い幅の配線層上に、ドライエッチングによりピア4aと溝4bとが形成される。ピア4aは、溝4bの底部から延び、金属層31の表面を露出するように形成される。

【0037】

このビア4aと溝4bとが形成された層間絶縁層4の表面に、バリアメタル層5が形成され、ビア4aと溝4bとを埋め込むように銅層6が形成される。この銅層6は、銅のシード層を形成した後にメッキにより銅のメッキ層を成膜することにより形成される。この後、層間絶縁層4の表面が露出するまで、CMPによりバリアメタル層5と銅層6とが研磨除去される。これにより、バリアメタル層5と銅層6とがビア4aおよび溝4b内にのみ残されて、銅層よりなる配線層6が形成される。この後、配線層6を覆うように層間絶縁層4上に絶縁層7が形成される。この製造方法によれば、銅層3からなる細い幅の配線層と、金属層31と銅層3との2層構造を有する太い幅の配線層とを容易に形成することができる。

【0038】

本実施の形態によれば、ビア4aが接続される太い幅の配線層は銅層3と金属層31との2層構造を有しており、その金属層31にビア4aが接続されている。このようにビア4aの接続される部分が、マイクロボイドを多量に含むメッキ銅層ではないため、ストレスマイグレーションによりビア4a下へボイドが集まることを抑制することができる。

【0039】

また、細い幅の配線層を銅層3のみで構成することができるため、細い幅の配線層の配線抵抗を低く維持することができ、抵抗上昇による性能劣化も生じない。

【0040】

なお、金属層31と銅層3との間に異種金属同士の接合が生じるが、金属層31と銅層との接触面積は容易に増やすことができる。このため、その接触面積を増やすことにより、銅層3中のマイクロボイドが異種金属の接合部において局所的に集中することを抑制することができる。

【0041】

また、図8はデュアルダマシン法により形成した構成について示しているが、本実施の形態においてはシングルダマシン法により形成される半導体装置において

ても同様に適用することができる。

【0042】

また、金属層31にスパッタ法により形成された銅層を用いた場合でも、スパッタ法により形成された銅層は、メッキにより形成された銅層よりもマイクロボイドが少ないため、上記と同様の効果が得られる。なお、メッキにより形成された銅層は、薬液中に含まれる塩素(C1)、炭素(C)、硫黄(S)などの不純物を多く含んでいる。

【0043】

(実施の形態3)

図10は本発明の実施の形態3における半導体装置の構成を概略的に示す平面図であり、図11は図10のX1-X1線に沿う概略断面図である。

【0044】

図10および図11を参照して、本実施の形態の構成は、実施の形態1の構成と比較して、ピア4aの底部においてバリアメタル層5に開口を形成する代わりに、配線層(第1の導電層)3にスリット41が設けられている点において主に異なる。

【0045】

このため、バリアメタル層5はピア4aの底部全面において配線層3と接している。また、スリット41とは、図11に示すように太い幅の配線層3内で溝1aの形成されていない領域であり、層間絶縁膜1が残っている領域である。このスリット41がピア4aとの接続部を挟むようにピア4aの近傍にたとえば2つ形成されている。

【0046】

なお、これ以外の構成については上記の実施の形態1の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0047】

本実施の形態によれば、スリット41がピア4aとの接続部を挟むように形成されているため、配線層3内のマイクロボイドがピア4aとの接続部に集まるときの壁となる。このため、マイクロボイドはこの壁となるスリットを回り込まな

ければビア4a下に到達できなくなるため、ストレスマイグレーションによりビア4a下へマイクロボイドが集まることを抑制することができる。

【0048】

なお、図10においては配線層6と同方向（図中横方向）に延びるようにスリット41を形成した場合について説明したが、図12に示すようにスリット41は配線層6と交差する方向（たとえば図中縦方向）に延びていてもよい。また、スリット41は、図13に示すようにビア4aの接続部の四方を取囲むように設けられていてもよい。また、スリット41は、図14に示すようにビア4aの接続部の三方を取囲む逆U字状のスリット41と残りの一方に配置された直線状のスリット41とからなっていてもよい。

【0049】

（実施の形態4）

図15は本発明の実施の形態4における半導体装置の構成を概略的に示す平面図であり、図16は図15のXV1-XV1線に沿う概略断面図である。

【0050】

図15および図16を参照して、本実施の形態の構成は、実施の形態1の構成と比較して、ビア4aの底部においてバリアメタル層5に開口を形成する代わりに、層間絶縁層4にダミービア（ダミーの孔）4cが設けられている点において主に異なる。

【0051】

このため、バリアメタル層5はビア4aの底部全面において配線層3と接している。またダミービア4cは、配線層3を他の素子に電気的に接続するものではない。このダミービア4cの内壁に沿ってバリアメタル層5が形成されており、かつダミービア4c内を埋め込むように銅層6が形成されている。この銅層6には配線層3以外の他の配線層が電気的に接続されていない。

【0052】

なお、これ以外の構成については上記の実施の形態1の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0053】

本実施の形態によれば、配線層3と配線層6とを接続するためのビア4a以外に、ダミービア4cが設けられている。このため、配線層3内のマイクロボイドはビア4aにのみ集中するのではなく、ビア4a側とダミービア4c側とに分散される。これにより、ストレスマイグレーションによりビア4a下へマイクロボイドが集まることを抑制することができる。

【0054】

なお、図15においてはダミービア4cを1つ配置した構成について示したが、図17～図20に示すようにダミービア4cは2個以上設けられてもよい。具体的には、図17に示すようにビア4aを挟むように2つのダミービア4cが配置されてもよく、図18に示すようにビア4aの三方を囲むように3つのダミービア4cが配置されてもよい。また、図19に示すようにビア4aの周囲を囲むようにたとえば7つのダミービア4cが配置されてもよく、図20に示すように4つのダミービア4cが配置されてもよい。

【0055】

また、図21および図22に示すようにダミービア4cは配線層3とダミー配線層6とを電気的に接続するものであってもよい。この場合、層間絶縁層4のダミービア4c上にはダミー配線用の溝4dが形成されている。このダミービア4cとダミー配線用の溝4dとの内壁にはバリアメタル層5が形成されており、ダミービア4cとダミー配線用の溝4dとを埋め込むように銅層よりなるダミー配線層6が形成されている。このダミー配線層6は、配線層3を他の素子に電気的に接続するものではない。

【0056】

なお、これ以外の構成については上記の図15、図16の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0057】

このようにダミービア4cとダミー配線6を設けた場合も、図15、図16と同様の効果が得られる。

【0058】

(実施の形態5)

図23は、本発明の実施の形態5における半導体装置の構成を概略的に示す平面図である。図23を参照して、本実施の形態の構成は、実施の形態4の構成と比較して、ダミーピア4cの配置位置において主に異なる。

【0059】

配線層3は、線幅の大きい配線部3aと、線幅が小さい配線部3bとを有している。配線層6は、配線層3の線幅が細い配線部3bにピア4aを介して電気的に接続されている。ダミーピア4cは、線幅が大きい配線部3aと線幅が小さい配線部3bとの接続部Rとピア4aとの間の線幅が小さい配線部3b上に位置している。

【0060】

なお、これ以外の構成については上記の実施の形態4の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0061】

本実施の形態によれば、配線層3、6を接続するためのピア4a以外に、ダミーピア4cが設けられている。このため、配線層3内のマイクロボイドはピア4aにのみ集中するのではなく、ピア4a側とダミーピア4c側とに分散される。これにより、ストレスマイグレーションによりピア4a下へボイドが集まることを抑制することができる。

【0062】

また、線幅が大きい配線層3a内の多量のマイクロボイドはピア4a下に到達する前にダミーピア4c下に集まることになるため、ピア4a下へのボイドの集まりをさらに抑制することができる。

【0063】

なお、図24に示すようにダミーピア4cが線幅の大きい配線層3a上に配置されていても、線幅の大きい配線部3aと線幅の小さい配線部3bとの接続部Rの近傍に配置されていれば上記と同様の効果が得られる。

【0064】

また、本実施の形態においてもダミーピア4cを介してダミー配線層が配線層3に電気的に接続されていてもよく、またダミー配線層が設けられてなくてもよ

い。

【0065】

(実施の形態6)

図25は、本発明の実施の形態6における半導体装置の構成を概略的に示す平面図である。図25を参照して、本実施の形態の構成は、実施の形態3の構成と比較して、スリット41の配置位置において異なる。

【0066】

配線層3は、線幅の大きい配線部3aと、線幅の小さい配線部3bとを有している。配線層6は、配線層3の幅の細い配線部3bにビア4aを介して電気的に接続されている。スリット41は、線幅の大きい配線部3aと線幅の小さい配線部3bとの接続部Rの近傍の線幅の大きい配線部3a上に位置している。

【0067】

なお、これ以外の構成については上記の実施の形態3の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0068】

本実施の形態によれば、スリット41が接続部Rの近傍に形成されているため、線幅の大きい配線層3a内の大量のマイクロボイドはこの壁となるスリット41を回り込まなければビア4a下に到達することができない。このため、ストレスマイグレーションによりビア4a下へボイドが集まることを抑制することができる。

【0069】

(実施の形態7)

図26は、本発明の実施の形態7における半導体装置の構成を概略的に示す平面図である。図26を参照して、本実施の形態の構成は、実施の形態5の構成と比較して、ダミービアを設ける代わりに、線幅の小さい配線部3bを折り曲げ部3b1において1回折り曲げている点において異なる。この折り曲げ部3b1は、接続部Rとビア4aとの間に配置されている。

【0070】

なお、これ以外の構成については上記の実施の形態5の構成とほぼ同じである

ため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0071】

本実施の形態によれば、接続部Rとビア4aとの間に折り曲げ部3b1が配置されているため、線幅の大きい配線層3a内の多量のマイクロボイドはビア4a下に達し難くなる。このため、ストレスマイグレーションによりビア4a下へボイドが集まることを抑制することができる。

【0072】

上記においては、折り曲げ部3b1が1つの場合について説明したが、図27に示すように、接続部Rとビア4aとの間に2つ以上の折り曲げ部（たとえば2つの折り曲げ部3b1、3b2）が配置されていてもよい。

【0073】

2つ以上の折り曲げ部を配置することにより、線幅の大きい配線層3a内の多量のマイクロボイドはビア4a下にさらに達し難くなる。このため、ストレスマイグレーションによりビア4a下へボイドが集まることをさらに抑制することができる。

【0074】

なお、上記実施の形態において、銅層とは銅を主成分として含む材質よりなる層のことを意味しており、不可避の不純物を含む銅からなる層、銅の合金層などを含むものである。

【0075】

なお、上記各実施の形態の構成が適宜組合せられてもよい。また、上記においては、半導体装置の配線接続構造について説明したが、本発明は、半導体装置だけでなく液晶デバイスなどの電子デバイスの配線接続構造に広く適用することができる。

【0076】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0077】

【発明の効果】

本発明の配線接続構造によれば、孔の底部において、バリアメタル層に設けられた開口を通して第1の導電層と第2の導電層とは直接接している。第1の導電層と第2の導電層とは共に銅層であるため、第1の導電層と第2の導電層との接続部は同種金属同士の接続となる。このため、第1の導電層と第2の導電層との間にバリアメタルが介在した場合に生じる異種金属の接続に起因した孔下でのボイドの集中を抑制することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置の構成を示す概略断面図である。

【図2】 本発明の実施の形態1における半導体装置の第1の製造方法の第1工程を示す概略断面図である。

【図3】 本発明の実施の形態1における半導体装置の第1の製造方法の第2工程を示す概略断面図である。

【図4】 本発明の実施の形態1における半導体装置の第2の製造方法の第1工程を示す概略断面図である。

【図5】 本発明の実施の形態1における半導体装置の第2の製造方法の第2工程を示す概略断面図である。

【図6】 本発明の実施の形態1における半導体装置の第2の製造方法の第3工程を示す概略断面図である。

【図7】 本発明の実施の形態1における半導体装置の第2の製造方法の第4工程を示す概略断面図である。

【図8】 本発明の実施の形態2における半導体装置の構成を示す概略断面図である。

【図9】 本発明の実施の形態2における半導体装置の製造方法を示す概略断面図である。

【図10】 本発明の実施の形態3における半導体装置の構成を示す概略平面図である。

【図11】 図10のX1-X1線に沿う概略断面図である。

【図12】 本発明の実施の形態3における半導体装置の他の構成を示す概略平面図である。

【図13】 本発明の実施の形態3における半導体装置のさらに他の構成を示す概略平面図である。

【図14】 本発明の実施の形態3における半導体装置のさらに他の構成を示す概略平面図である。

【図15】 本発明の実施の形態4における半導体装置の構成を示す概略平面図である。

【図16】 図15のXVI-XVI線に沿う概略断面図である。

【図17】 本発明の実施の形態4における半導体装置の他の構成を示す概略平面図である。

【図18】 本発明の実施の形態4における半導体装置のさらに他の構成を示す概略平面図である。

【図19】 本発明の実施の形態4における半導体装置のさらに他の構成を示す概略平面図である。

【図20】 本発明の実施の形態4における半導体装置のさらに他の構成を示す概略平面図である。

【図21】 本発明の実施の形態4における半導体装置の構成においてダミー配線を設けた構成を示す概略平面図である。

【図22】 図21のXXII-XXII線に沿う概略断面図である。

【図23】 本発明の実施の形態5における半導体装置の構成を示す概略平面図である。

【図24】 本発明の実施の形態5における半導体装置の他の構成を示す概略平面図である。

【図25】 本発明の実施の形態6における半導体装置の構成を示す概略平面図である。

【図26】 本発明の実施の形態7における半導体装置の構成を示す概略平面図である。

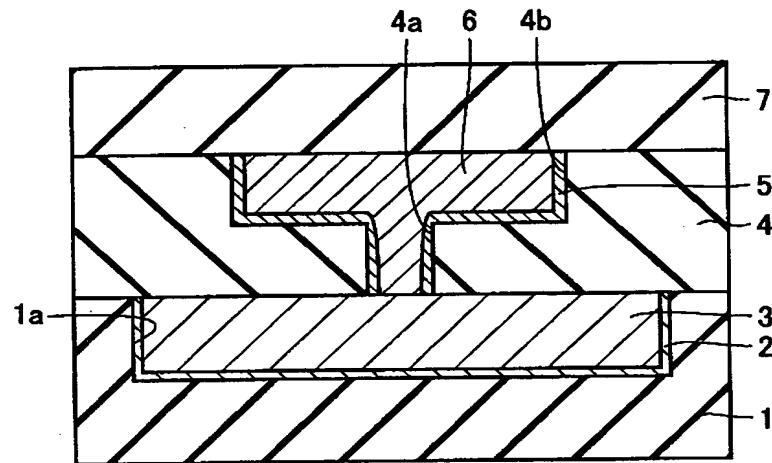
【図27】 本発明の実施の形態7における半導体装置の他の構成を示す概略平面図である。

【符号の説明】

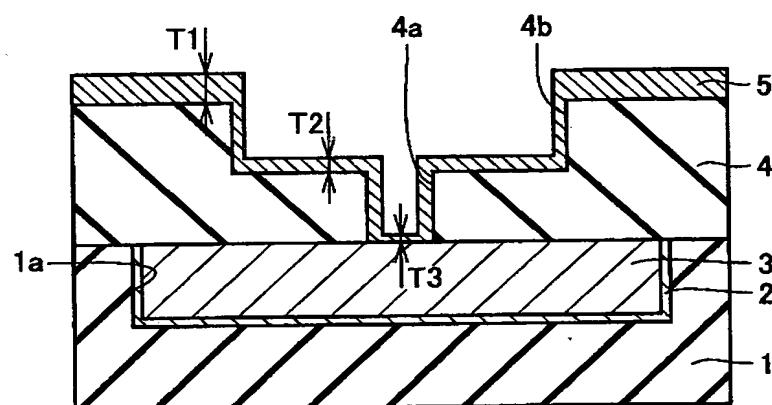
1 層間絶縁層、1a, 1b 溝、2 バリアメタル層、3 銅層（または配線層）、3a, 3b 配線部、3b1, 3b2 折り曲げ部、4 層間絶縁層、4a ビア、4b, 4d 溝、4c ダミービア、5, 5a, 5b バリアメタル層、6 銅層（または配線層、ダミー配線層）、7 絶縁層、31 金属層、41 スリット。

【書類名】 図面

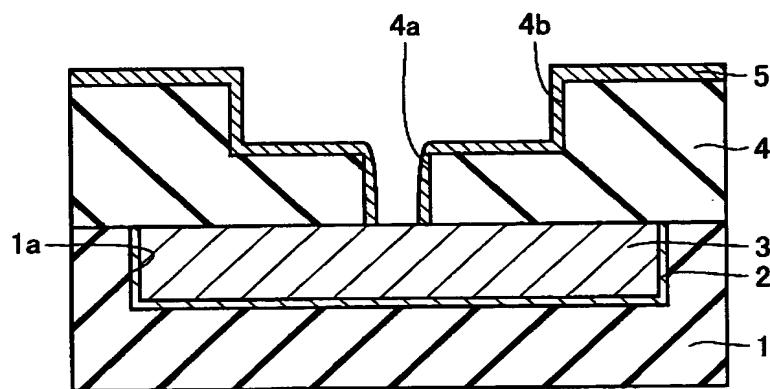
【図1】



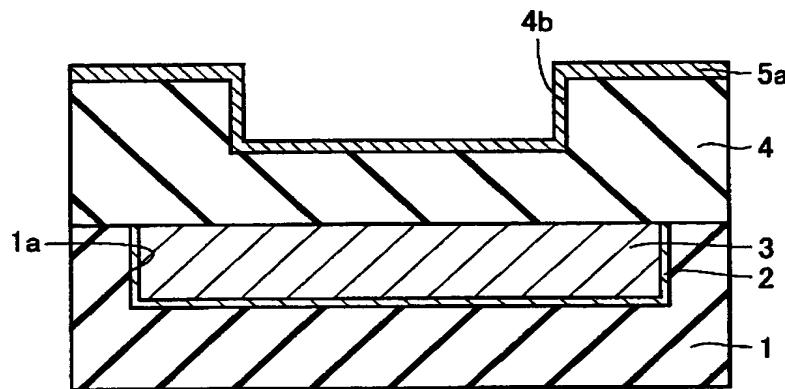
【図2】



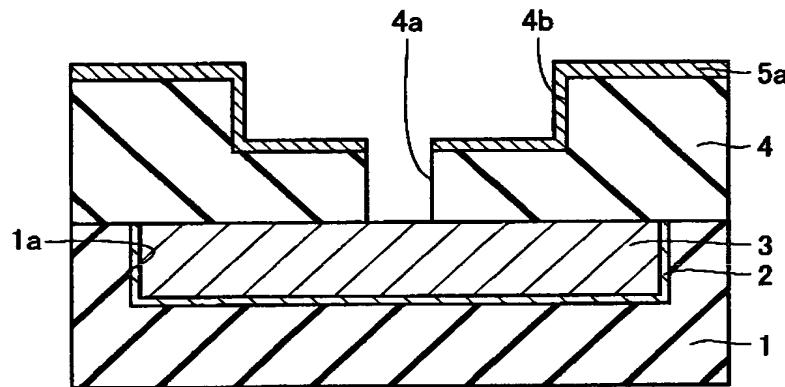
【図3】



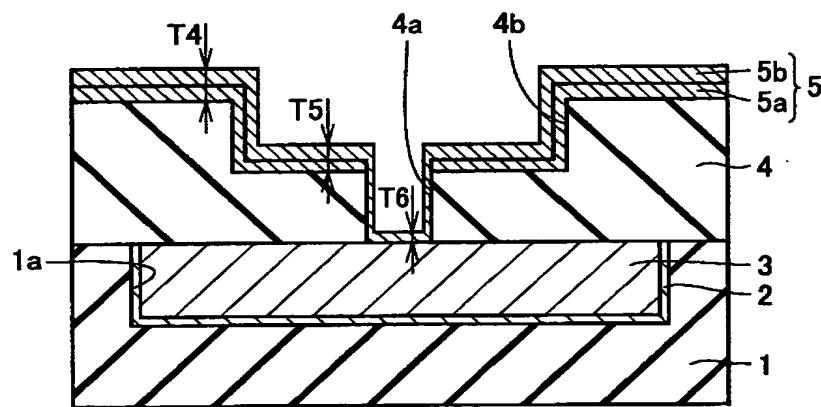
【図4】



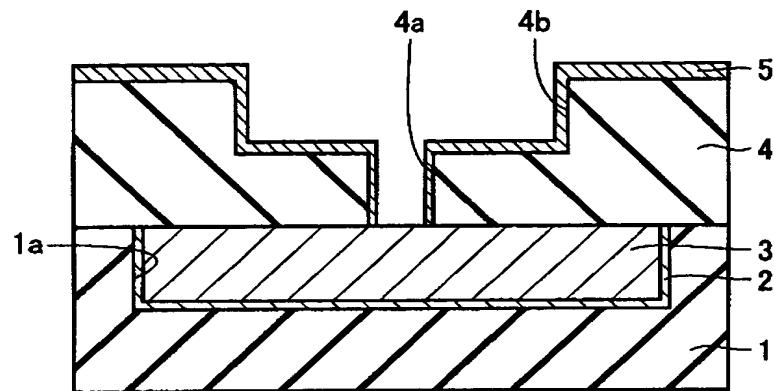
【図5】



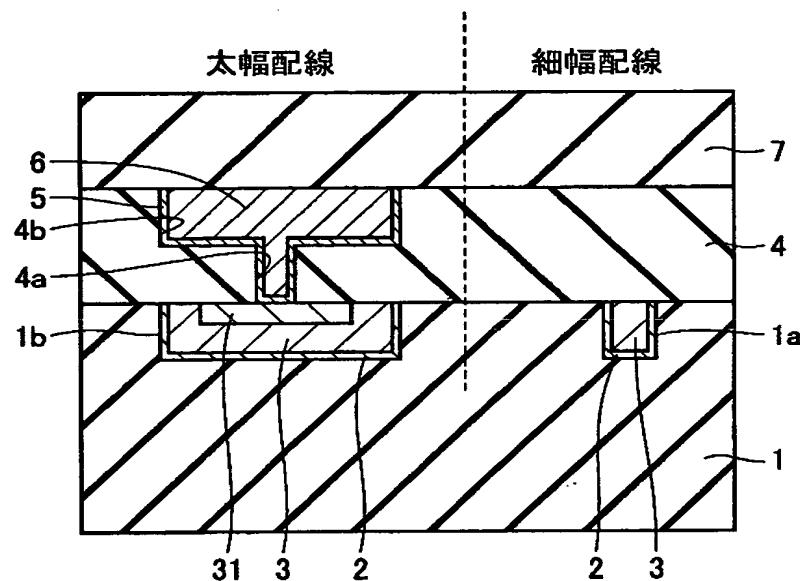
【図6】



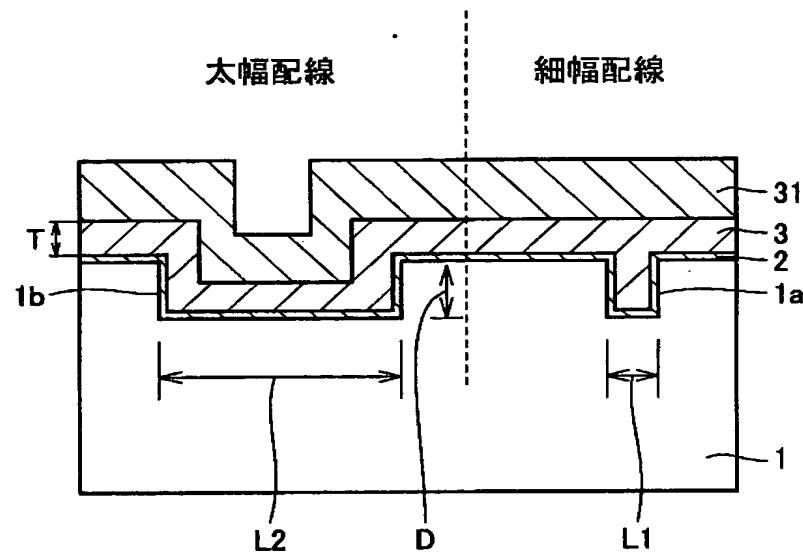
【図7】



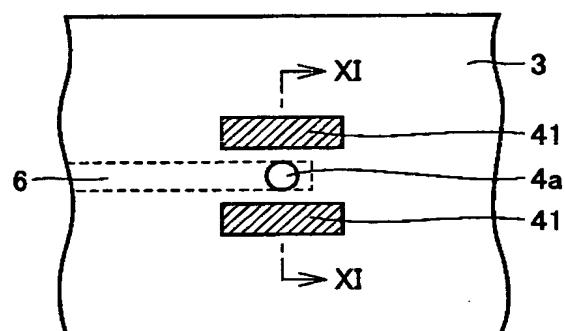
【図8】



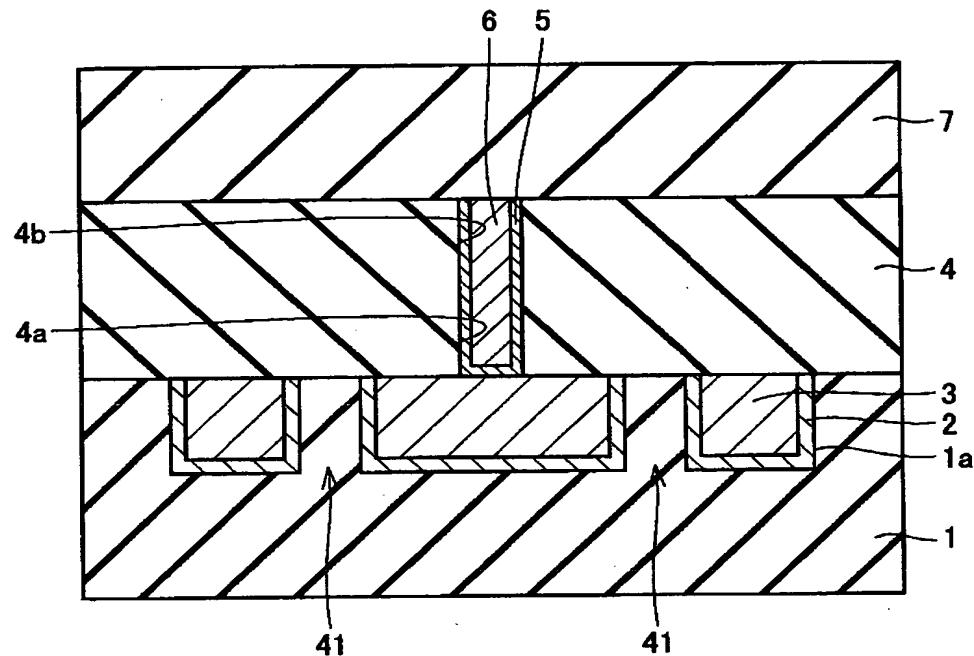
【図9】



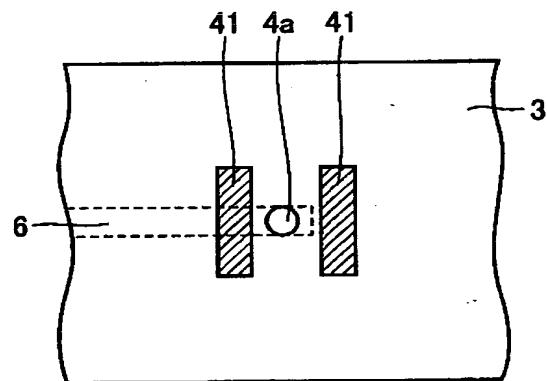
【図10】



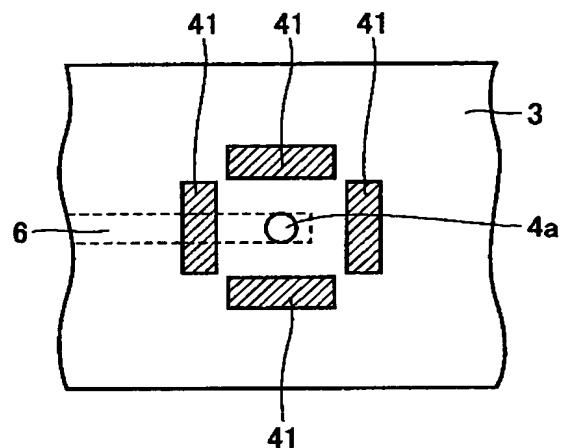
【図11】



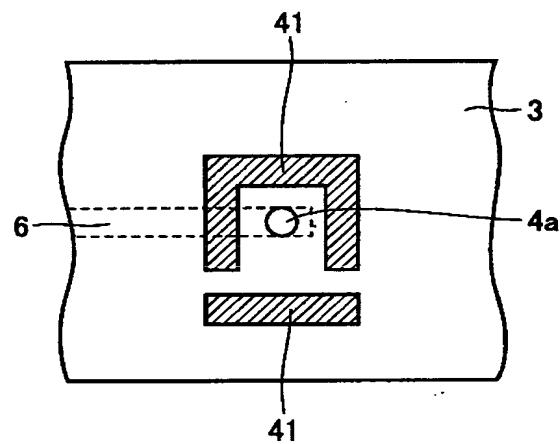
【図12】



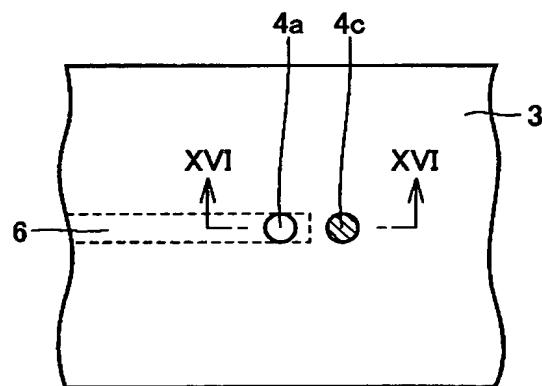
【図13】



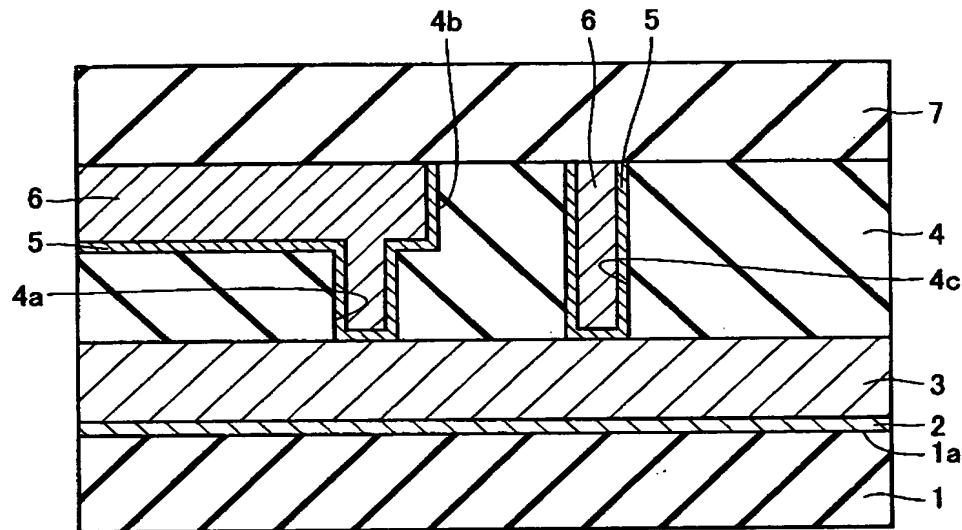
【図14】



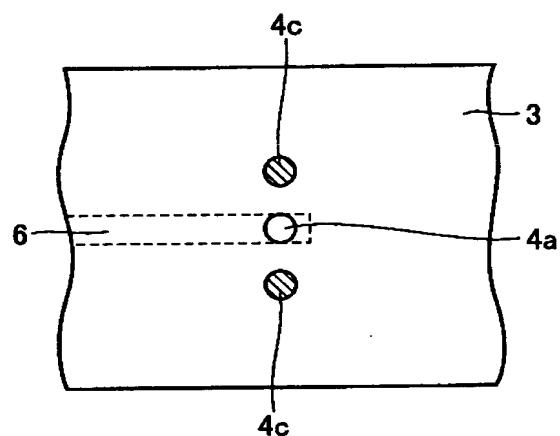
【図15】



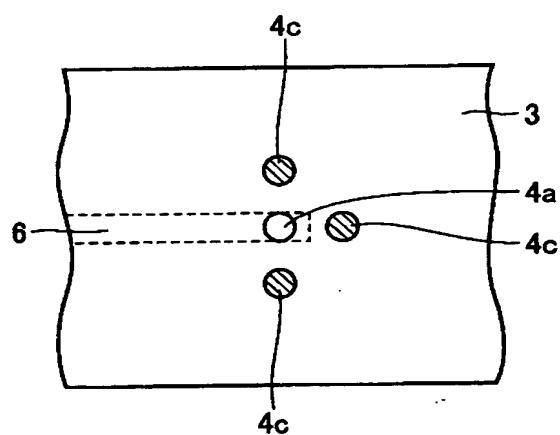
【図16】



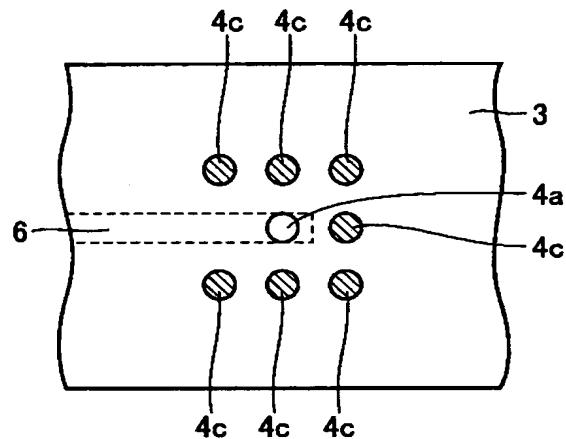
【図17】



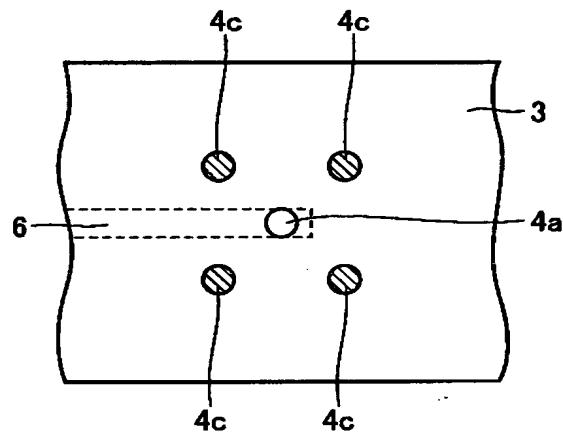
【図18】



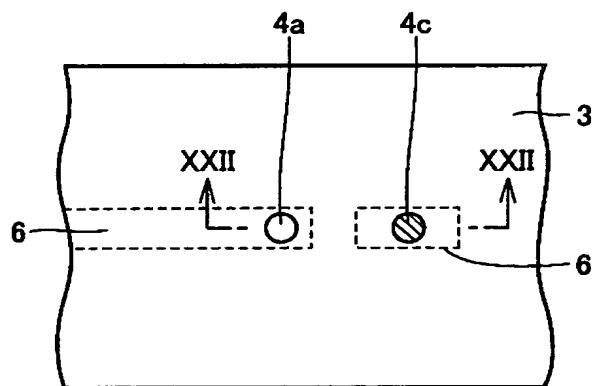
【図19】



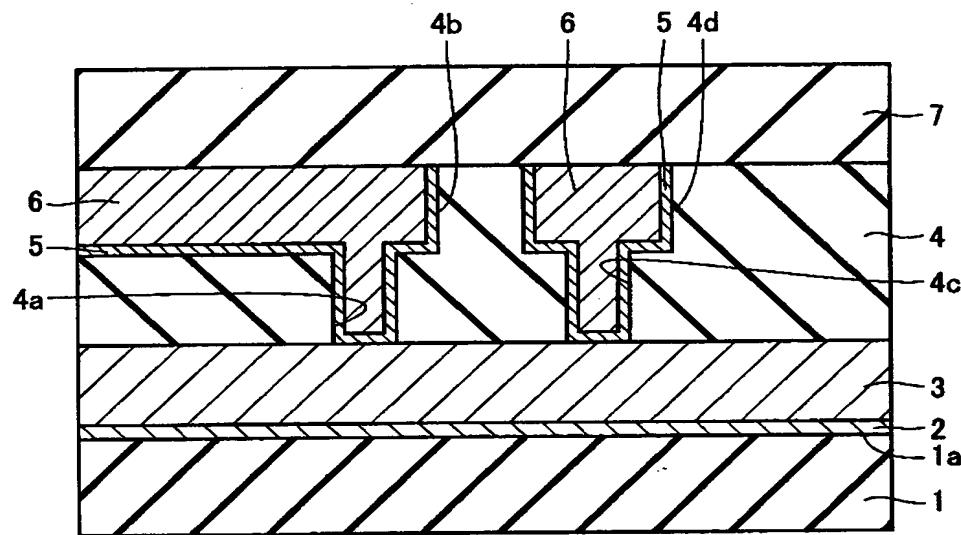
【図20】



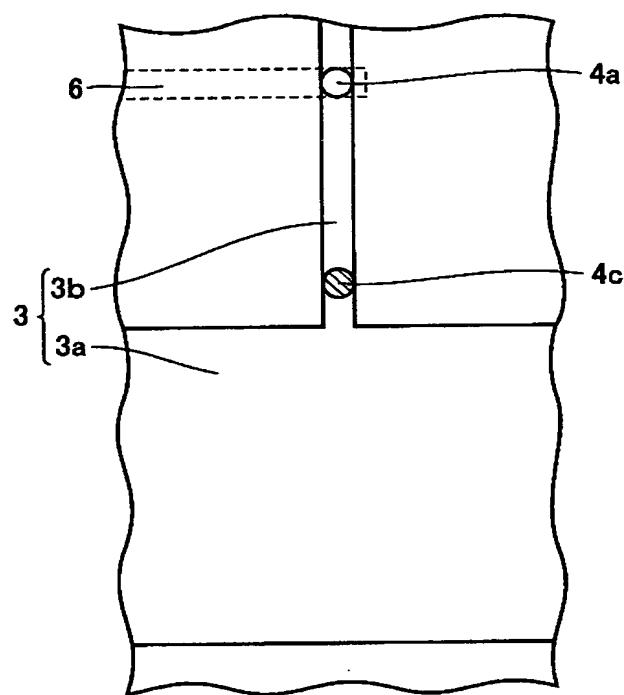
【図21】



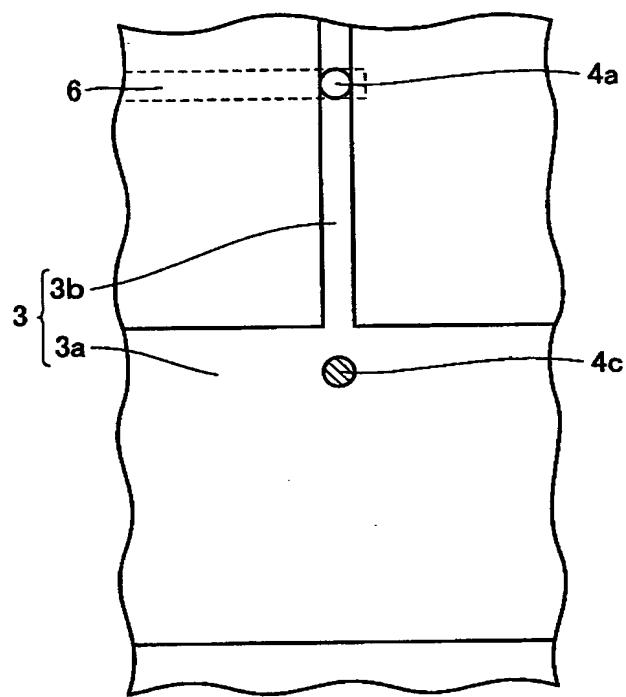
【図22】



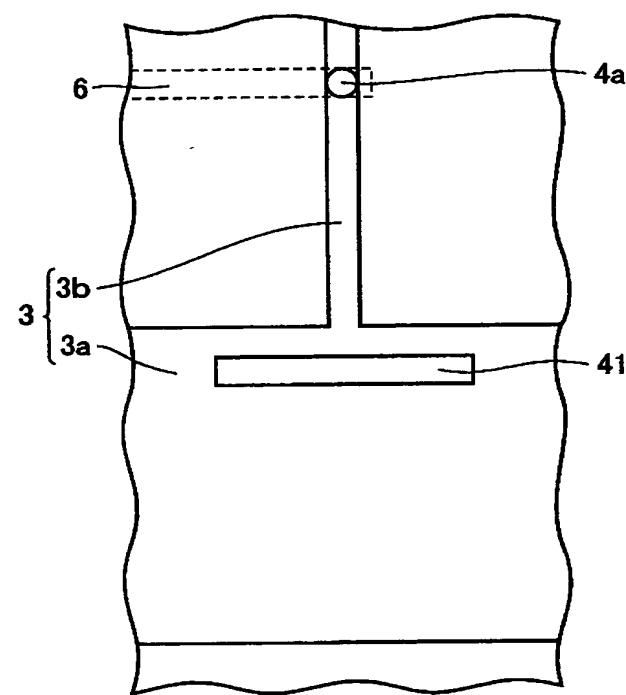
【図23】



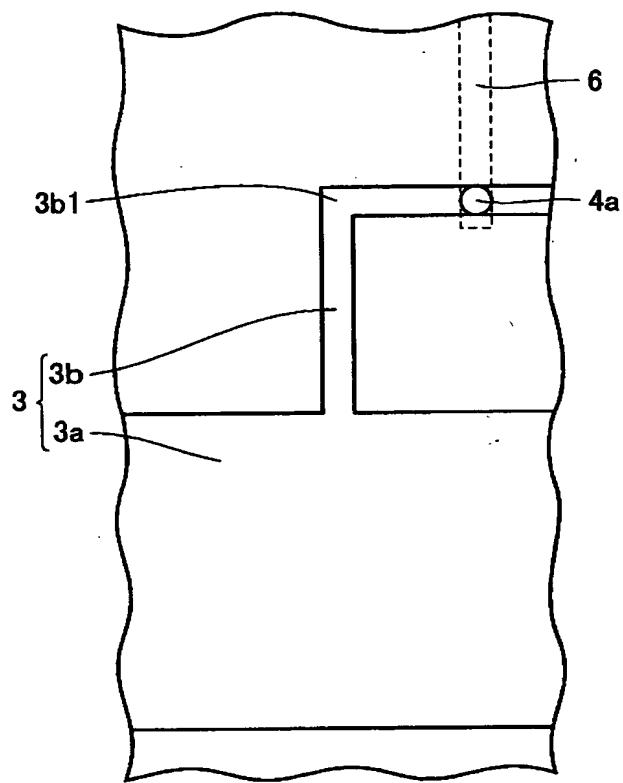
【図24】



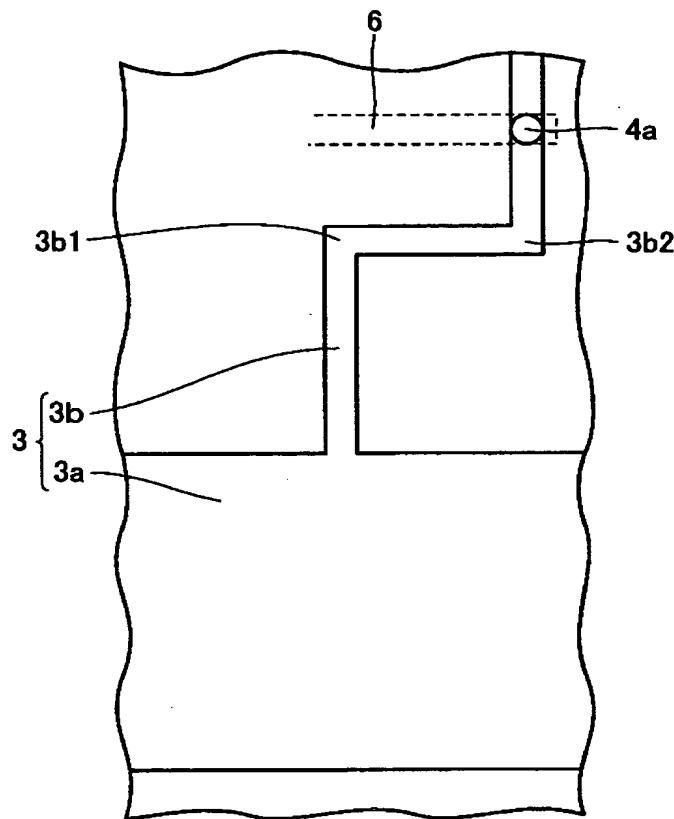
【図25】



【図26】



【図27】



【書類名】 要約書

【要約】

【課題】 ストレスマイグレーションによるビア下配線中のボイドの集中を抑制する配線接続構造を提供する。

【解決手段】 本発明の配線接続構造は、基板上に形成された銅層よりなる配線層3と、配線層3上に形成され、かつ配線層3に達するビア4aを有する層間絶縁層4と、ビア4aを通じて配線層3と電気的に接続され、かつ層間絶縁層4内に形成された銅層よりなる配線層6と、配線層6と層間絶縁層4との間に形成されたバリアメタル層5とを備えている。バリアメタル層5はビア4aの底部において開口を有し、その開口を通して配線層6はビア4aの底部において配線層3と直接接している。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社